

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of
 Taiji NODA et al.
 Serial No. 09/662,358
 Filed: September 15, 2000
 For: SEMICONDUCTOR DEVICE AND
 METHOD FOR FABRICATING THE SAME)



Attention: Applications Branch

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with
 The United States Postal Service with sufficient postage as First
 Class Mail in an envelope addressed to: Assistant Commissioner
 for Patents, Washington, D.C. 20316 on 12/8/00

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT


Honorable Assistant Commissioner for Patents
 Washington, D.C. 20231

Sir:

At the time of filing the above-referenced application, a right of priority under 35 USC
 119 was claimed in view of Application No. 11-264124, filed September 9, 1999 in Japan.

Submitted herewith is the certified copy of the priority document to perfect the claim for
 priority.

Respectfully submitted,


 Eric J. Robinson
 Reg. No. 38,285

Nixon Peabody LLP
 8180 Greensboro Drive, Suite 800
 McLean, Virginia 22102
 (703) 790-9110

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 9月17日

出 願 番 号

Application Number:

平成11年特許願第264124号

出 願 人

Applicant(s):

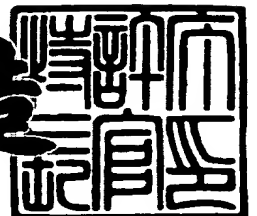
松下電子工業株式会社



2000年 7月21日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3055920

【書類名】 特許願

【整理番号】 2926410064

【提出日】 平成11年 9月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/265

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 野田 泰史

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 海本 博之

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 小田中 紳二

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601027

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 MOS型トランジスタ及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にゲート絶縁膜を介して形成されたゲート電極と

、
前記半導体基板における前記ゲート電極の下側に形成されチャンネル領域となる第 1 導電型の不純物拡散層と、

前記第 1 導電型の不純物拡散層の両側に前記第 1 導電型の不純物拡散層と距離をおいて形成され、深い接合を持つ第 2 導電型の高濃度不純物拡散層と、

前記第 1 導電型の不純物拡散層と前記第 2 導電型の高濃度不純物拡散層との間に形成され、浅い接合を持つ第 2 導電型のエクステンション高濃度不純物拡散層と、

前記エクステンション高濃度不純物拡散層の下側に、質量の大きい第 1 導電型の不純物が拡散されることにより形成された第 1 導電型のポケット不純物拡散層とを備え、

前記ポケット不純物拡散層は、前記第 1 導電型の不純物が偏析してなる偏析部を有していることを特徴とする MOS 型トランジスタ。

【請求項 2】 半導体基板の表面部に第 1 導電型の第 1 の不純物をイオン注入して、第 1 導電型の不純物拡散層を形成する工程と、

前記半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記半導体基板に前記ゲート電極をマスクとして質量の大きい第 1 導電型の第 2 の不純物をイオン注入して前記半導体基板中にアモルファス層を形成した後、前記半導体基板に前記ゲート電極をマスクとして第 2 導電型の第 1 の不純物をイオン注入する工程と、

前記ゲート電極の側面にサイドウォールを形成した後、前記ゲート電極及びサイドウォールをマスクとして第 2 導電型の第 2 の不純物をイオン注入する工程と

、
前記第 1 導電型の不純物拡散層のチャンネルとなる領域の両側に位置し前記第 2 導電型の第 1 の不純物が拡散されてなる浅い接合を持つエクステンション高濃度

不純物拡散層、及び前記エクステンション高濃度不純物拡散層の下側に位置し前記第 1 導電型の第 2 の不純物が拡散されてなるポケット不純物拡散層をそれぞれ形成する工程と、

前記第 2 導電型の第 2 の不純物を活性化することにより、前記エクステンション高濃度不純物拡散層の外側に位置し前記第 2 導電型の第 2 の不純物が拡散されてなる深い接合を持つ高濃度不純物拡散層を形成する工程とを備え、

前記第 1 導電型の第 2 の不純物のイオン注入は、該第 1 導電型の第 2 の不純物の飛程が前記エクステンション高濃度不純物拡散層の内部に位置するような注入エネルギーで行なうことを特徴とする MOS 型トランジスタの製造方法。

【請求項 3】 前記第 1 導電型の第 2 の不純物のイオン注入は、該イオン注入により形成されるアモルファス・クリスタル界面が、前記第 2 導電型の第 1 の不純物の飛程に対して同じか又は深くて且つ前記エクステンション高濃度不純物層の接合面よりも浅くなるような注入エネルギーで行なうことを特徴とする請求項 2 に記載の MOS 型トランジスタの製造方法。

【請求項 4】 前記第 1 導電型の第 2 の不純物のイオン注入は、該イオン注入により形成されるアモルファス・クリスタル界面が、前記第 2 導電型の第 1 の不純物の飛程に対して同じか又は深くて且つ前記第 2 導電型の第 2 の不純物の飛程よりも浅くなるような注入エネルギーで行なうことを特徴とする請求項 2 に記載の MOS 型トランジスタの製造方法。

【請求項 5】 前記第 1 導電型の第 2 の不純物の注入ドーズ量は、 $5 \times 10^{13} / \text{cm}^2$ 以上であることを特徴とする請求項 2 に記載の MOS 型トランジスタの製造方法。

【請求項 6】 前記第 2 導電型の第 1 の不純物及び前記第 1 導電型の第 2 の不純物の活性化は、 100°C / 秒以上の昇温レートで $950 \sim 1050^\circ\text{C}$ の温度まで昇温し、該温度下で 1 ～ 10 秒間保持する急速高温熱処理により行なうことを特徴とする請求項 2 に記載の MOS 型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の超高集積化を実現できる微細な構造を持っていると共に、高速で且つ低消費電力で動作可能なMOS型半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体集積回路の超高集積化に伴って、MOS型トランジスタの微細化が要請されており、その実現のためには浅い接合を有するMOS型トランジスタが求められている。

【0003】

図5は、浅い接合を有する従来のMOS型トランジスタの断面構造を示しており、第1導電型の半導体基板1の上にはゲート絶縁膜2を介してゲート電極3が形成されている。半導体基板1の表面部におけるゲート電極3の両側つまりソース又はドレインとなる領域には、深い接合を持つ第2導電型の高濃度不純物拡散層5、該高濃度不純物拡散層5の内側に位置し該高濃度不純物拡散層5よりも浅い接合を持つ第2導電型のエクステンション高濃度不純物拡散層6、及び該エクステンション高濃度不純物拡散層6の下側に位置する第1導電型のポケット不純物拡散層7がそれぞれ形成されている。また、ゲート電極3の側面には絶縁膜からなるサイドウォール8が形成されている。

【0004】

以下、図6(a)～(e)を参照しながら、従来のMOS型トランジスタの製造方法について説明する。

【0005】

まず、図6(a)に示すように、第1導電型の半導体基板1の上にゲート絶縁膜2を介してゲート電極3を形成する。

【0006】

次に、ゲート電極3をマスクとして、第2導電型の第1の不純物及び第1導電型の不純物を順次イオン注入して、図6(b)に示すように、第2導電型の高濃度不純物層6A及び第1導電型の不純物層7Aをそれぞれ形成する。

【0007】

次に、半導体基板 1 の上に全面に亘ってシリコン窒化膜を 700℃程度の温度で堆積した後、該シリコン窒化膜に対して異方性エッチングを行なって、図 6 (c) に示すように、ゲート電極 3 の側面にサイドウォール 8 を形成する。尚、サイドウォール 8 は、シリコン窒化膜に代えてシリコン酸化膜により形成してもよい。

【0008】

次に、ゲート電極 2 及びサイドウォール 8 をマスクとして第 2 導電型の第 2 の不純物をイオン注入した後、900℃～1000℃程度の温度下で 10 秒間程度の熱処理を行なって、図 6 (d) に示すように、深い接合を持つ第 2 導電型の高濃度不純物拡散層 5、該高濃度不純物拡散層 5 の内側に位置し該高濃度不純物拡散層 5 よりも浅い接合を持つ第 2 導電型のエクステンション高濃度不純物拡散層 6、及び該エクステンション高濃度不純物拡散層 6 の下側に位置する第 1 導電型のポケット不純物拡散層 7 をそれぞれ形成する。

【0009】

次に、スパッタリング法により、半導体基板 1 の上に、10 nm 程度の膜厚を有するコバルト膜及び 20 nm 程度の膜厚を有する窒化チタン膜を順次堆積した後、550℃程度の温度下で 10 秒間程度の熱処理を行ない、その後、窒化チタン膜と未反応のコバルト膜を、硫酸と過酸化水素と水との混合液で選択的にエッチングして除去する。次に、800℃程度の温度下で 10 秒間程度の熱処理を行なって、図 6 (e) に示すように、ゲート電極 3 の表面部及び高濃度不純物拡散層 5 の表面部に、30 nm 程度の膜厚を有するコバルトシリサイド層 9 を自己整合的に形成する。尚、コバルトシリサイド層 9 に代えて、チタンシリサイド層を形成してもよい。

【0010】

ところで、従来の MOS 型トランジスタの製造方法においては、MOS 型トランジスタの駆動力を向上させるために、第 2 導電型の第 1 の不純物の注入エネルギーを低くして、エクステンション高濃度不純物拡散層 6 の接合を浅くしようとしている。また、この場合、ソース領域とドレイン領域との寄生抵抗を小さくするために、第 2 導電型の第 1 の不純物の注入ドーズ量を大きくする傾向にある。

【0 0 1 1】

【発明が解決しようとする課題】

ところが、第2導電型の第1の不純物を高い注入ドーズ量で且つ低い注入エネルギーでイオン注入して第2導電型の高濃度不純物層6Aを形成すると、サイドウォール8を形成する際の低温の熱処理プロセスによって、第2導電型の高濃度不純物層6Aにおいて第2導電型の第1の不純物の過渡増速拡散(TED)が起こってしまい、設計通りの浅い接合を持つエクステンション高濃度不純物拡散層6を形成することができなくなるという問題がある。尚、過渡増速拡散とは、格子間に過剰に存在する点欠陥と注入された不純物とが相互作用して拡散するため、不純物とその熱平衡状態の拡散係数以上に拡散してしまう現象のことをいう。

【0 0 1 2】

図7(a)は、基板表面から基板内部に向かう方向(A-A'線に沿う方向)の距離と不純物濃度との関係を示し、図7(b)は、高濃度不純物拡散層5の左端部から基板表面に沿ってエクステンション高濃度不純物拡散層6に向かう方向(B-B'線に沿う方向)の距離と不純物濃度との関係を示している。

【0 0 1 3】

図7(a)から分かるように、基板表面から深さ方向に向かう距離(x)に対する不純物濃度($\log C_A$)の傾き($d(\log C_A) / dx$)は、一定ではなくて、不純物濃度が低くなるに伴って小さくなり、裾広がりの分布をしている。このため、エクステンション高濃度不純物拡散層6の抵抗値が高くなってしまいう問題がある。

【0 0 1 4】

また、図7(a)から分かるように、エクステンション高濃度不純物拡散層6における基板表面部に、トランジスタの実際の動作に寄与しない不活性領域ができてしまい、不純物の注入ドーズ量に対する拡散後の活性化不純物濃度の比率が悪くなるという問題も起きる。活性化不純物の濃度が十分な大きさを持っていないと、ソース領域及びドレイン領域の寄生抵抗が高くなってしまいう問題が発生する。もっとも、不純物の注入ドーズ量を多くして活性化不純物濃度を大きくすることも考慮されるが、注入ドーズ量を多くすると、サイドウォール8を形

成する際の低温の熱処理プロセスにより、エクステンション高濃度不純物拡散層 6 において第 2 導電型の第 1 の不純物の過渡増速拡散が起こってしまうので、設計通りの浅い接合を持つエクステンション高濃度不純物拡散層 6 を形成することができない。

【0015】

例えば、 $0.1\ \mu\text{m}$ の CMOS トランジスタにおいては、エクステンション高濃度不純物拡散層 6 の接合深さとしては $20\sim 30\ \text{nm}$ 程度が要求されるが、サイドウォール 8 を形成する際の低温の熱処理プロセスにより引き起こされる過渡増速拡散によって、第 2 導電型の第 1 の不純物は数十 nm 程度動くものと考えられている。従って、MOS 型トランジスタの微細化が進むと、いくら小さい注入エネルギーでイオン注入を行なっても、その後の熱処理によって、エクステンション高濃度不純物拡散層 6 の接合深さが目標値よりも大きくなってしまいうという問題がある。

【0016】

そこで、前述の問題を解決して、浅い接合を持つエクステンション高濃度拡散層を実現するべく、質量の大きい不純物例えばインジウム又はアンチモン等をイオン注入してエクステンション高濃度不純物拡散層を形成する方法が提案されている。

【0017】

ところで、質量の大きい不純物をイオン注入すると、半導体基板の結晶がダメージをうける。このため、質量の大きい不純物を中程度以上の注入ドーズ量でイオン注入すると、半導体基板中にアモルファス層が形成されてしまう。そして、アモルファス・クリスタル界面が存在する状態で熱処理を施すと、アモルファス・クリスタル界面の下側に End-of-Range 転位ループ欠陥層が形成されてしまい、質量の大きい不純物が転位ループ欠陥層に偏析してしまうという問題がある。

【0018】

特にインジウムイオン等の重いイオンを用いた注入では、アモルファス・クリスタル界面が不純物の濃度ピークよりも深い位置に形成されるので、不純物は基板表面から深い位置に偏析するので、エクステンション高濃度不純物層の接合面

は設計値よりも深い位置にできてしまう。また、転位ループ欠陥層が、エクステンション高濃度不純物層の接合面の近傍に形成されてしまうと、接合リークが発生するという問題も発生する。

【 0 0 1 9 】

前記に鑑み、本発明は、エクステンション高濃度不純物拡散層の接合位置を浅くすることにより、MOS型トランジスタの駆動力の向上を図ることを目的とする。

【 0 0 2 0 】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係るMOS型トランジスタは、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、半導体基板におけるゲート電極の下側に形成されチャネル領域となる第1導電型の不純物拡散層と、第1導電型の不純物拡散層の両側に第1導電型の不純物拡散層と距離をおいて形成され、深い接合を持つ第2導電型の高濃度不純物拡散層と、第1導電型の不純物拡散層と第2導電型の高濃度不純物拡散層との間に形成され、浅い接合を持つ第2導電型のエクステンション高濃度不純物拡散層と、エクステンション高濃度不純物拡散層の下側に、質量の大きい第1導電型の不純物が拡散されることにより形成された第1導電型のポケット不純物拡散層とを備え、ポケット不純物拡散層は、第1導電型の不純物が偏析してなる偏析部を有している。

【 0 0 2 1 】

本発明のMOS型トランジスタによると、ポケット高濃度不純物拡散層は質量の大きい第1導電型の不純物のイオンが拡散することにより形成されており、質量の大きい不純物は拡散係数が小さいと共に、注入ダメージにより発生した過剰点欠陥が転位ループ欠陥層に多く取り込まれて、拡散に寄与できる自由な点欠陥が減少するので、ポケット高濃度不純物層のプロファイルは急峻になる。また、ポケット高濃度不純物層の内部に転位ループ欠陥層が形成され、該転位ループ欠陥層に質量の大きい不純物が偏析してなる偏析部が形成されている。

【 0 0 2 2 】

従って、ポケット高濃度不純物層の基板表面側に形成されるエクステンション

高濃度不純物拡散層の接合が浅くなるのでトランジスタの駆動力を向上させることができると共に、短チャネル効果を抑制できるのでトランジスタの微細化を図ることができる。

【0023】

本発明に係るMOS型トランジスタの製造方法は、半導体基板の表面部に第1導電型の第1の不純物をイオン注入して、第1導電型の不純物拡散層を形成する工程と、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、半導体基板にゲート電極をマスクとして質量の大きい第1導電型の第2の不純物をイオン注入して半導体基板中にアモルファス層を形成した後、半導体基板にゲート電極をマスクとして第2導電型の第1の不純物をイオン注入する工程と、ゲート電極の側面にサイドウォールを形成した後、ゲート電極及びサイドウォールをマスクとして第2導電型の第2の不純物をイオン注入する工程と、第1導電型の不純物拡散層のチャンネルとなる領域の両側に位置し第2導電型の第1の不純物が拡散されてなる浅い接合を持つエクステンション高濃度不純物拡散層、及びエクステンション高濃度不純物拡散層の下側に位置し第1導電型の第2の不純物が拡散されてなるポケット不純物拡散層をそれぞれ形成する工程と、第2導電型の第2の不純物を活性化することにより、エクステンション高濃度不純物拡散層の外側に位置し第2導電型の第2の不純物が拡散されてなる深い接合を持つ高濃度不純物拡散層を形成する工程とを備え、第1導電型の第2の不純物のイオン注入は、該第1導電型の第2の不純物の飛程がエクステンション高濃度不純物拡散層の内部に位置するような注入エネルギーで行なう。

【0024】

本発明のMOS型トランジスタの製造方法によると、質量の大きい第1導電型の第2の不純物をイオン注入して半導体基板中にアモルファス層を形成した後、第2導電型の第1の不純物をイオン注入するため、該第2導電型の不純物がチャネリングを起こす事態を防止できるので、エクステンション高濃度不純物層の接合を浅くすることができる。

【0025】

また、質量の大きい第1導電型の第2の不純物のイオン注入を、該第1導電型

の第 2 の不純物の飛程がエクステンション高濃度不純物拡散層の内部に位置するような注入エネルギーで行なうため、アモルファス・クリスタル界面の基板深さ方向に形成される転位ループ欠陥層ひいては第 1 導電型の第 2 の不純物の偏析部をエクステンション高濃度不純物拡散層の内部に形成することができるので、ポケット不純物拡散層の位置を最適にすることができる。さらに、エクステンション高濃度不純物拡散層及びポケット不純物拡散層を急峻なプロファイルにすることができるので、エクステンション高濃度不純物拡散層の接合を浅くすることができる。

【 0 0 2 6 】

従って、トランジスタの駆動力を低減することなく微細化を図ることができる。

【 0 0 2 7 】

本発明の MOS 型トランジスタの製造方法において、第 1 導電型の第 2 の不純物のイオン注入は、該イオン注入により形成されるアモルファス・クリスタル界面が、第 2 導電型の第 1 の不純物の飛程よりも深くて且つエクステンション高濃度不純物層の接合面よりも浅くなるような注入エネルギーで行なうことが好ましい。

【 0 0 2 8 】

このようにすると、第 1 導電型の第 2 の不純物の偏析部がポケット不純物拡散層における不純物プロファイルの最適位置よりも深い方に押しやられないので、トランジスタの接合容量を抑制することができる。

【 0 0 2 9 】

本発明の MOS 型トランジスタの製造方法において、第 1 導電型の第 2 の不純物のイオン注入は、該イオン注入により形成されるアモルファス・クリスタル界面が、第 2 導電型の第 1 の不純物の飛程よりも深くて且つ第 2 導電型の第 2 の不純物の飛程よりも浅くなるような注入エネルギーで行なうことが好ましい。

【 0 0 3 0 】

このようにすると、アモルファス・クリスタル界面の下側に形成される転位ループ欠陥層がソース領域又はドレイン領域の空乏層部分に位置しないので、トラ

ンジスタにおける接合リークを低減することができる。

【0031】

本発明のMOS型トランジスタの製造方法において、第1導電型の第2の不純物の注入ドーズ量は $5 \times 10^{13} / \text{cm}^2$ 以上であることが好ましい。

【0032】

このようにすると、半導体基板中に確実にアモルファス層を形成することができるため、第2導電型の第1の不純物がチャネリングする事態を確実に防止することができるので、エクステンション高濃度不純物拡散層の接合を浅くすることができる。また、半導体基板の内部に、転位ループ欠陥層ひいては第1導電型の第2の不純物の偏析部を確実に形成することができる。

【0033】

本発明のMOS型トランジスタの製造方法において、第2導電型の第1の不純物及び第1導電型の第2の不純物の活性化は、 100°C /秒以上の昇温レートで $950 \sim 1050^\circ\text{C}$ の温度まで昇温し、該温度下で1～10秒間保持する急速高温熱処理により行なうことが好ましい。

【0034】

このようにすると、エクステンション高濃度不純物拡散層における過渡増速拡散を抑制できると共にポケット不純物拡散層に形成される偏析部を大きくすることができるので、ポケット不純物拡散層のテール部分である低濃度領域がエクステンション高濃度不純物拡散層における過渡増速拡散により隠れてしまう事態を防止することができる。

【0035】

【発明の実施の形態】

以下、本発明の一実施形態に係るMOS型トランジスタの構造について、図1(a)を参照しながら説明する。

【0036】

図1(a)に示すように、p型の半導体基板10の上にはゲート絶縁膜11を介して、ポリメタル又はポリシリコンからなるゲート電極12が形成されている。半導体基板10の表面部におけるゲート電極12の下側には、例えばインジウ

ムが拡散されておりチャンネル領域となる p 型の不純物拡散層 1 3 が形成されている。p 型の不純物拡散層 1 3 の両側つまりソース及びドレインとなる領域には、深い接合を持つ n 型の高濃度不純物拡散層 1 4、高濃度不純物拡散層 1 4 の内側に位置し高濃度不純物拡散層 1 4 よりも浅い接合を持つ n 型のエクステンション高濃度不純物拡散層 1 5、及びエクステンション高濃度不純物拡散層 1 5 の下側に位置し質量の大きい p 型不純物例えばインジウムが拡散されてなるポケット不純物拡散層 1 6 がそれぞれ形成されている。

【0037】

図 1 (b) は、図 1 (a) における X-X' 線における基板表面から深さ方向に向かう距離と不純物濃度との関係を示しており、図 1 (b) から分かるように、ポケット不純物拡散層 1 6 には、質量の大きい p 型不純物例えばインジウムが偏析してなる偏析部が形成されている。

【0038】

第 1 の実施形態によると、ポケット高濃度不純物拡散層 1 6 は、インジウムのように大きい質量を持つ不純物のイオン（重イオン）が拡散することにより形成されており、質量の大きい不純物は拡散係数が小さいと共に過渡増速拡散が起こり難いので、ポケット高濃度不純物層 1 6 のプロファイルは急峻になる。

【0039】

また、ポケット高濃度不純物層 1 6 の内部に End-of-Range 転位ループ欠陥層が形成されており、該転位ループ欠陥層にインジウムイオンが偏析してなる偏析部が形成されている。

【0040】

従って、ポケット高濃度不純物層 1 6 の基板表面側に形成されるエクステンション高濃度不純物拡散層 1 5 の接合を浅くできるのでトランジスタの駆動力を向上させることができると共に、短チャンネル効果を抑制できるのでトランジスタの微細化を図ることができる。

【0041】

尚、前記の実施形態においては、チャンネル用不純物拡散層 1 3 にドーブされる不純物としてはインジウムイオンを用いたが、これに代えて、ボロンイオン又は

ボロンイオンとインジウムイオンとの両方を用いてもよい。

【0042】

また、前記の実施形態は、nチャネルMOS型トランジスタであったが、これに代えて、pチャネルMOS型トランジスタでもよい。pチャネルMOS型トランジスタの場合には、ポケット不純物拡散層16にイオン注入される質量の大きい不純物としては、アンチモンイオンを用いることができる。

【0043】

以下、本発明の一実施形態に係るMOS型トランジスタの製造方法について、図2(a)～(c)及び図3(a)、(b)を参照しながら説明する。

【0044】

まず、図2(a)に示すように、p型の半導体基板100にp型の不純物例えばインジウムイオンを、200keVの注入エネルギー及び $1 \times 10^{12} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入する。イオン注入の直後に、半導体基板100を100℃/秒の昇温レートで950～1050℃の高温まで昇温し、該温度下で1～10秒間程度の短時間保持する第1回目の熱処理（高速熱処理：RTA）を行なうことにより、半導体基板100の表面部にチャネル領域となるp型の不純物拡散層103を形成する。

【0045】

次に、図2(b)に示すように、半導体基板100の上に、2.5nm程度の膜厚を持つゲート絶縁膜101を介して、250nm程度の膜厚を持つポリシリコン膜又はポリメタルからなるゲート電極102を形成する。

【0046】

次に、半導体基板100にゲート電極102をマスクにして、質量の大きいp型の不純物例えばインジウムイオンを例えば15keVの注入エネルギー及び例えば $1 \times 10^{14} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入して、半導体基板100中にアモルファス層を形成した後、半導体基板100にゲート電極102をマスクにして、n型の不純物例えばヒ素イオンを例えば10keVの注入エネルギー及び例えば $5 \times 10^{14} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入する。次に、100℃/秒以上の昇温レートで950～1050℃の高温まで昇温し、該温度

下で1～10秒間程度の短時間保持する第2回目の熱処理(RTA)を行なうことにより、図2(c)に示すように、半導体基板100のソース領域又はドレインとなる領域に、ヒ素イオンが拡散されてなり浅い接合を持つn型のエクステンション高濃度不純物拡散層105及び該エクステンション高濃度不純物拡散層105の下側に位置しインジウムイオンが拡散されてなるp型のポケット不純物拡散層106を形成する。

【0047】

次に、半導体基板100の上に全面に亘って例えば50nmの膜厚を持つシリコン窒化膜を堆積した後、該シリコン窒化膜に対して異方性エッチングを行なうことにより、図3(a)に示すように、ゲート電極102の側面にサイドウォール107を形成する。尚、シリコン窒化膜に代えてシリコン酸化膜からなるサイドウォール107を形成してもよい。

【0048】

次に、半導体基板100にゲート電極102及びサイドウォール107をマスクとして、n型の不純物例えばヒ素イオンを、30keVの注入エネルギー及び $3 \times 10^{15} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入した後、100℃/秒の昇温レートで950～1050℃の高温まで昇温した後、該温度下で1～10秒間程度の短時間保持する第3回目の熱処理(RTA)を行なうことにより、図3(b)に示すように、半導体基板100のソース領域及びドレイン領域に深い接合を持つn型の高濃度不純物拡散層104を形成する。

【0049】

図4(a)は、図2(c)に示す工程において、インジウムイオン及びヒ素イオンを注入した直後における基板表面からの距離と不純物濃度との関係を示しており、図4(b)は、インジウムイオン及びヒ素イオンを注入した後に第2回目の熱処理を行なったときの基板表面からの距離と不純物濃度との関係を示している。

【0050】

本実施形態においては、インジウムイオンを $1 \times 10^{14} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入するため、図4(a)に示すように、半導体基板100の内

部にアモルファス・クリスタル界面が形成される。アモルファス・クリスタル界面が形成された状態で熱処理を加えると、アモルファス・クリスタル界面の下側（クリスタル側）にEnd-of-Range転位ループ欠陥層が形成される。このため、第2回目の熱処理によってインジウムを活性化すると、図4（b）に示すように、転位ループ欠陥層にインジウムが偏析してなる偏析部が形成される。

【0051】

従って、ポケット高濃度不純物層106の基板表面側に形成されるエクステンション高濃度不純物拡散層105の接合を浅くできるので、トランジスタの駆動力を向上させることができると共に、短チャネル効果を抑制できるので、トランジスタの微細化を図ることができる。

【0052】

ところで、本実施形態においては、インジウムイオンを $1 \times 10^{14} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入したが、 5×10^{13} 以上の注入ドーズ量でイオン注入すると、半導体基板100の内部にアモルファス層を形成することができる。このため、インジウムイオンに引き続いてイオン注入されるヒ素イオンのチャネリングを抑制することができる。

【0053】

また、本実施形態においては、ポケット不純物拡散層106にドーパされるインジウムイオンを15 keVの注入エネルギーでイオン注入すると共に、エクステンション高濃度不純物拡散層105にドーパされるヒ素イオンを10 keVの注入エネルギーでイオン注入するため、インジウムイオンの飛程とヒ素イオンの飛程とは、ほぼ等しくて図4（a）においてR_pで示す位置にある。このような注入エネルギーでイオン注入した後に第2回目の熱処理を行なうと、アモルファス・クリスタル界面は、ヒ素イオンの飛程R_pよりも深くて、エクステンション高濃度不純物層105の接合面よりも浅くなる。このため、インジウムの偏析部がポケット不純物拡散層106における不純物プロファイルの最適位置よりも深い方に押しやられないので、トランジスタの接合容量を抑制することができる。

【0054】

また、ポケット不純物拡散層106にドーパされるインジウムイオンの注入エ

エネルギーを15 keVよりも大きくして、アモルファス・クリスタル界面が、エクステンション高濃度不純物拡散層105にドーブされるヒ素イオンの飛程よりも深くて、ソース又はドレインとなる高濃度不純物拡散層104にドーブされるヒ素イオンの飛程よりも浅くなるようにすると、転位ループ欠陥層がソース領域又はドレイン領域の空乏層部分に位置しないので、トランジスタにおける接合リークを低減することができる。

【0055】

尚、ポケット不純物拡散層106にドーブされるインジウムイオンの注入エネルギーを5~30 keVの範囲内に設定すると、該インジウムイオンの飛程がエクステンション高濃度不純物拡散層105の内部に位置するので、転位ループ欠陥層ひいてはインジウムの偏析部をポケット不純物拡散層106の内部に形成することができる。

【0056】

また、本実施形態においては、p型の半導体基板100に質量の大きいインジウムイオンを注入して、チャネル領域となるp型の不純物拡散層103を形成しているため、チャネル領域における基板の表面に最も近い領域においては不純物濃度が低いため、微細化してもキャリアの移動度が低下しないと共に、チャネル領域における基板の表面から少し深い領域においては急峻な不純物濃度を得られるので、トランジスタの駆動力を低減することなくトランジスタの微細化を図ることができる。

【0057】

また、質量の大きいインジウムイオンを注入した直後に熱処理(RTA)を行っているため、インジウムイオンの注入に起因して半導体基板100が受ける結晶ダメージを回復することができる。

【0058】

また、本実施形態においては、インジウム及びヒ素イオンを適切な注入エネルギーで順次イオン注入した後、第2回目の熱処理工程において高速熱処理を行なって、エクステンション高濃度不純物拡散層105及びポケット不純物拡散層106を形成するため、エクステンション高濃度不純物拡散層105における過渡

増速拡散を抑制できると共にポケット不純物拡散層 1 0 6 に形成される偏析部を大きくすることができるので、ポケット不純物拡散層 1 0 6 のテール部分である低濃度領域がエクステンション高濃度不純物拡散層 1 0 5 における過渡増速拡散により隠れてしまう事態を防止できる。すなわち、ポケット不純物拡散層 1 0 6 に偏析部が形成されているため、テール部分は急速に濃度が低下しているので、テール部分はエクステンション高濃度不純物拡散層 1 0 5 における過渡増速拡散により隠れてしまうおそれがあるが、本実施形態によると、テール部分がエクステンション高濃度不純物拡散層 1 0 5 における過渡増速拡散により隠れてしまう事態を防止することができる。

【0059】

尚、本実施形態においては、チャンネル用不純物拡散層 1 0 3 にはインジウムイオンを注入したが、これに代えて、ボロンイオン又はボロンイオンとインジウムイオンとの両方をイオン注入してもよい。

【0060】

また、第 2 回目の熱処理（図 2（c）に示す工程）を省略してもよい。この場合には、第 3 回目の熱処理（図 3（b）に示す工程）により、n 型のエクステンション高濃度不純物拡散層 1 0 5、p 型のポケット不純物拡散層 1 0 6 及び高濃度不純物拡散層 1 0 4 が同時に形成される。

【0061】

また、本実施形態は、n チャンネル MOS 型トランジスタであったが、これに代えて、p チャンネル MOS 型トランジスタでもよい。p チャンネル MOS 型トランジスタの場合には、ポケット不純物拡散層 1 0 6 には不純物イオンとして、アンチモンイオンを注入することが好ましい。

【0062】

【発明の効果】

本発明に係る MOS 型トランジスタ及びその製造方法によると、ポケット高濃度不純物層の基板表面側に形成されるエクステンション高濃度不純物拡散層の接合を浅くできるので、トランジスタの駆動力を向上させることができると共に、短チャネル効果を抑制できるので、トランジスタの微細化を図ることができる。

【図面の簡単な説明】

【図 1】

(a) は本発明の一実施形態に係る MOS 型トランジスタの断面図であり、(b) は (a) における X-X' 線における基板表面から深さ方向に向かう距離と不純物濃度との関係を示す図である。

【図 2】

(a) ~ (c) は本発明の一実施形態に係る MOS 型トランジスタの製造方法の各工程を示す断面図である。

【図 3】

(a)、(b) は本発明の一実施形態に係る MOS 型トランジスタの製造方法の各工程を示す断面図である。

【図 4】

インジウムイオン及びヒ素イオンを注入した直後における基板表面からの距離と不純物濃度との関係を示す図であり、(b) は、インジウムイオン及びヒ素イオンを注入した後に熱処理を行なったときの基板表面からの距離と不純物濃度との関係を示す図である。

【図 5】

従来の MOS 型トランジスタの断面図である。

【図 6】

(a) ~ (e) は従来の MOS 型トランジスタの製造方法の各工程を示す断面図である。

【図 7】

(a) は基板表面から基板内部に向かう方向 (A-A' 線に沿う方向) の距離と不純物濃度との関係を示す図であり、(b) は、高濃度不純物拡散層の左端部から基板表面に沿ってエクステンション高濃度不純物拡散層に向かう方向 (B-B' 線に沿う方向) の距離と不純物濃度との関係を示す図である。

【符号の説明】

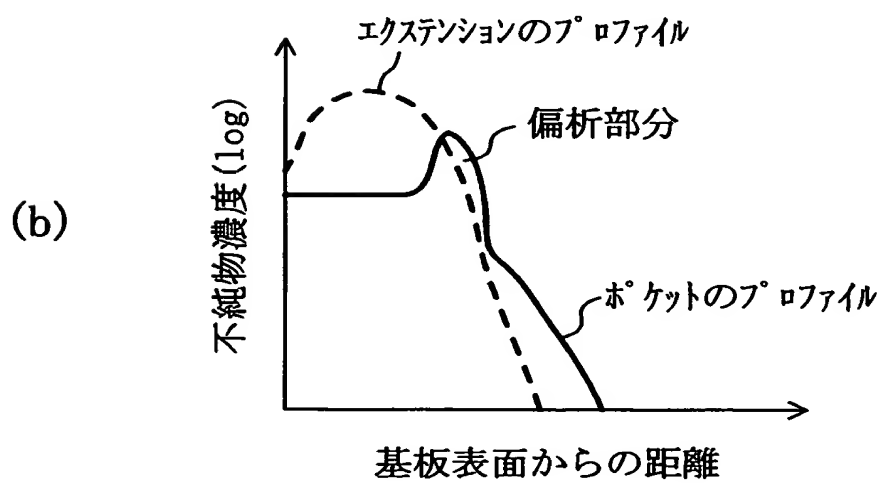
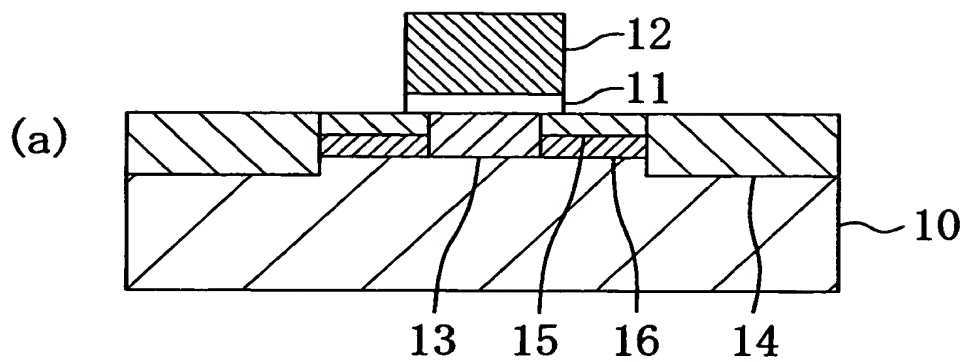
10 半導体基板

11 ゲート絶縁膜

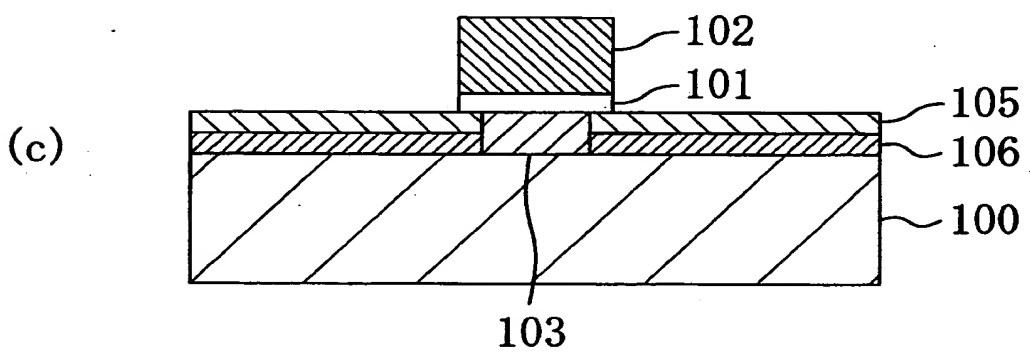
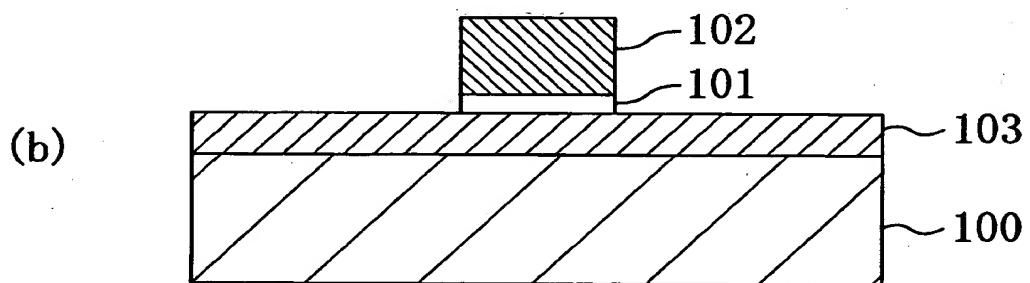
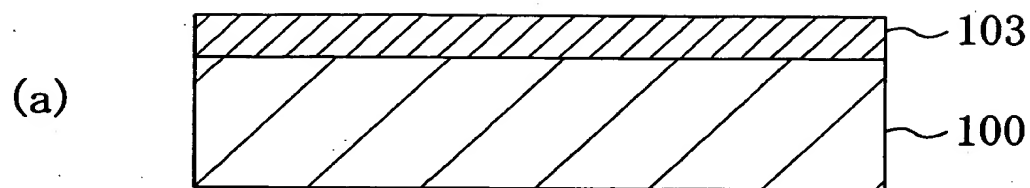
- 1 2 ゲート電極
- 1 3 不純物拡散層
- 1 4 高濃度不純物拡散層
- 1 5 エクステンション高濃度不純物拡散層
- 1 6 ポケット不純物拡散層
- 1 0 0 半導体基板
- 1 0 1 ゲート絶縁膜
- 1 0 2 ゲート電極
- 1 0 3 不純物拡散層
- 1 0 4 高濃度不純物拡散層
- 1 0 5 エクステンション高濃度不純物拡散層
- 1 0 6 ポケット不純物拡散層
- 1 0 7 サイドウォール

【書類名】 図面

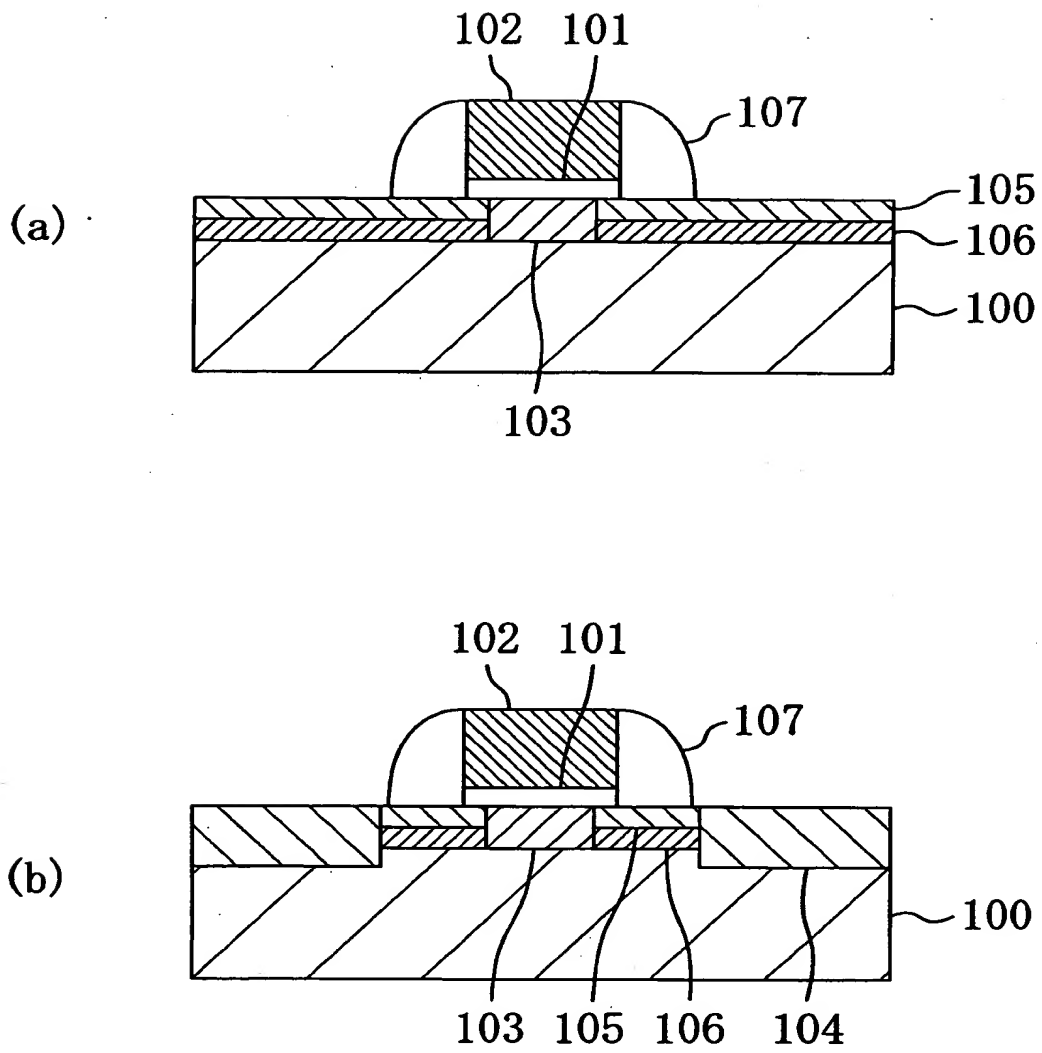
【図 1】



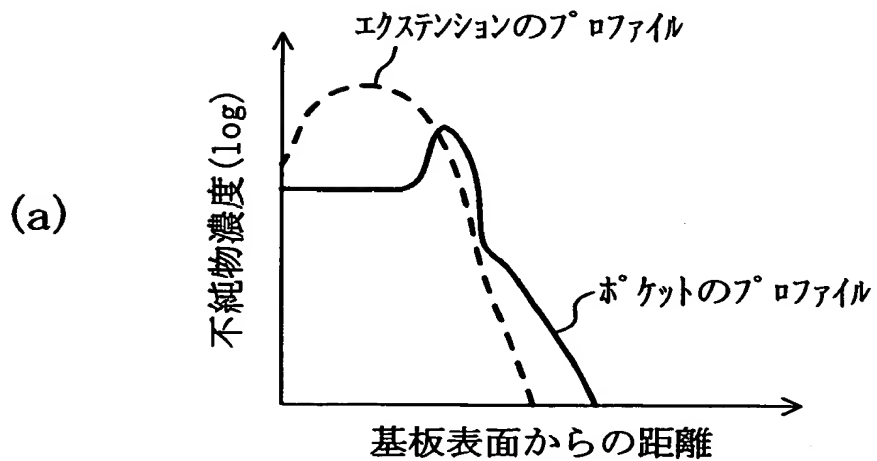
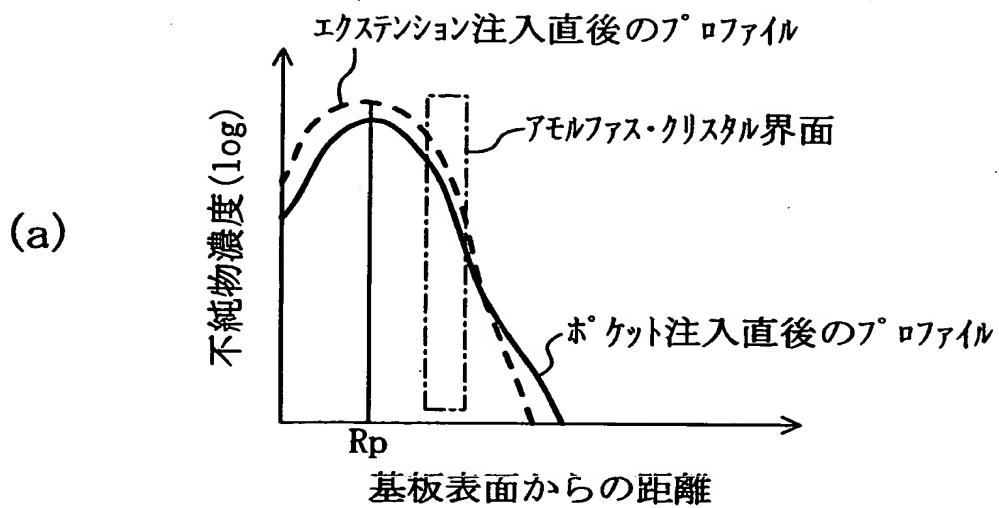
【図 2】



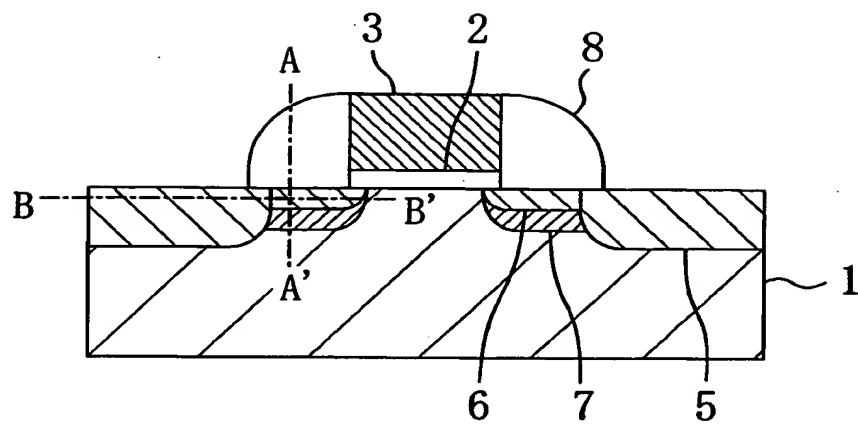
【図 3】



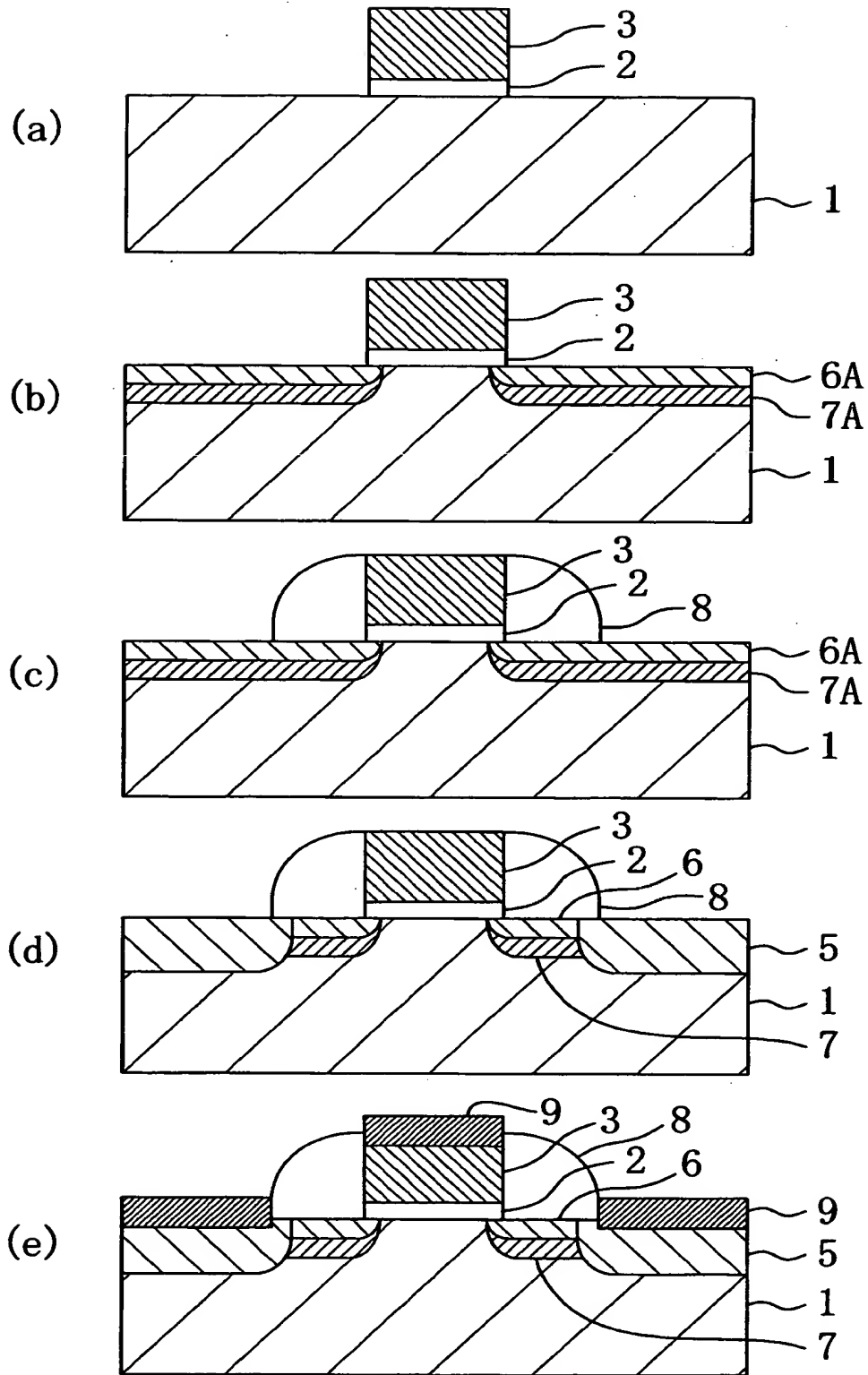
【図 4】



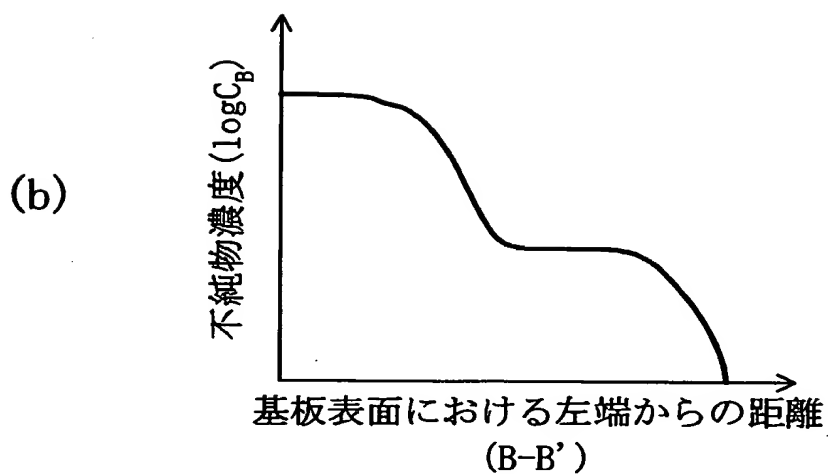
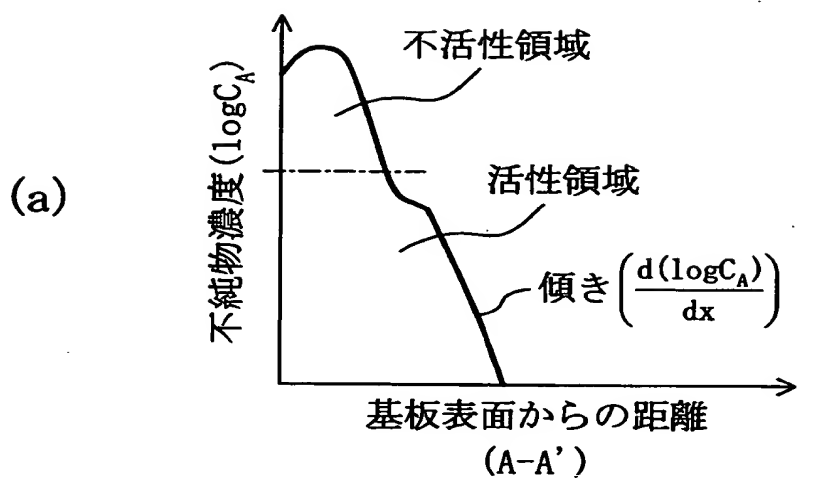
【図 5】



【图 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 エクステンション高濃度不純物拡散層の接合位置を浅くすることにより、MOS型トランジスタの駆動力の向上を図る。

【解決手段】 半導体基板 1 0 上にゲート絶縁膜 1 1 を介してゲート電極 1 2 が形成されており、該ゲート電極 1 2 の下側には第 1 導電型の不純物拡散層 1 3 が形成されている。該第 1 導電型の不純物拡散層 1 3 の両側には、浅い接合を持つ第 2 導電型のエクステンション高濃度不純物拡散層 1 5 及び深い接合を持つ第 2 導電型の高濃度不純物拡散層 1 4 が形成されている。エクステンション高濃度不純物拡散層 1 5 の下側には、質量の大きい第 1 導電型の不純物が拡散されることにより形成された第 1 導電型のポケット不純物拡散層 1 6 が形成されている。ポケット不純物拡散層 1 6 は、質量の大きい第 1 導電型の不純物が偏析してなる偏析部を有している。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 4 3]

1. 変更年月日	1 9 9 3 年 9 月 1 日
[変更理由]	住所変更
住 所	大阪府高槻市幸町 1 番 1 号
氏 名	松下電子工業株式会社